

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2655105号

(45) 発行日 平成 9 年 (1997) 9 月 17 日

(24) 登録日 平成 9 年 (1997) 5 月 30 日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28			G 0 1 R 31/28	F
G 0 6 F 11/22	3 3 0		G 0 6 F 11/22	3 3 0 C

請求項の数 2 (全 7 頁)

(21) 出願番号	特願平6-292866	(73) 特許権者	000004237 日本電気株式会社 東京都港区芝五丁目 7 番 1 号
(22) 出願日	平成 6 年 (1994) 11 月 28 日	(72) 発明者	石山 敏夫 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
(65) 公開番号	特開平8-146093	(72) 発明者	ドナルド クレイン 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
(43) 公開日	平成 8 年 (1996) 6 月 7 日	(74) 代理人	弁理士 京本 直樹 (外 2 名)
		審査官	中塚 直樹
		(56) 参考文献	特開 昭61-7949 (J P, A)

(54) 【発明の名称】 順序回路の故障箇所推定方法

1

(57) 【特許請求の範囲】

【請求項 1】 半導体集積回路内の、全ラッチの全ベクタに対する全期待値情報と、テストのパス／フェイル情報と、全回路の接続情報とを用い、当該半導体集積回路をラッチと組合わせ回路とに分割して故障推定する順序回路の故障箇所推定方法において、  
実際のフェイル出力ピンもしくはフェイルと推定されるラッチ入力線から、半導体集積回路の入力ピンまたはラッチ出力に到達するまでの入力方向に向って組合わせ回路を抽出するとともに、更に抽出された当該組合わせ回路の入力から、前記半導体集積回路の出力ピンまたはラッチ入力に到達するまでの出力方向に向って組合わせ回路を抽出する第 1 の処理手順と、  
前記組合わせ回路の出力部に接続されているラッチの出力が、他の何れのラッチに影響を及ぼしているか否かを

2

チェックしてデータフローを作成する第 2 の処理手順と、

前記組合わせ回路の入力境界における故障伝搬値を、単一故障伝搬確認、前段の組合わせ回路内の同一信号線分岐確認および分岐信号活性化確認、および入力境界部ラッチのクロックイネーブル確認によって、同時故障伝搬可能信号線組合わせを選択するシミュレーションにより推定確認する第 3 の処理手順と、

前記組合わせ回路より、実際の半導体集積回路の出力までの後段の回路の抽出が確認されていない場合に、当該後段の回路を抽出する第 4 の処理手順と、

前記組合わせ回路の入力境界における故障推定結果を用いた故障伝搬シミュレーションと実際のフェイル出力とが一致しているか否かを判定する第 5 の処理手順と、  
前記第 5 の処理手順において一致していると判定された

場合に、ラッチ状態の推定値テーブルを作成するとともに、得られたラッチ状態の推定値テーブルを用いた組合わせ回路内の各信号線のシミュレーション結果により縮退故障の有無を判定し、組合わせ回路内の故障箇所を推定する第6の処理手順と、

を少なくともフェイルベクタごとに、組合わせ回路の入力境界における故障伝搬推定値を求める処理手順として有しており、最終的に故障推定リストを作成することを特徴とする順序回路の故障推定方法。

【請求項2】 前記第6の処理手順内に、前記ラッチ状態の推定値テーブルと前記テストのパス／フェイル情報を用いて行われたシミュレーション結果と、正常動作時における期待値との差により組合わせ回路内の故障伝搬経路を検出する第7の処理手順と、前記第7の処理手順において検出して得られた故障伝搬経路の重複した箇所を検出して、当該推定故障箇所に対して優先順位付けを行う第8の処理手順と、を少なくとも有しており、最終的に故障推定リストを作成することを特徴とする請求項1記載の順序回路の故障推定方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は順序回路の故障箇所推定方法に関し、特に半導体集積回路により形成される順序回路の故障箇所を診断する順序回路の故障箇所推定方法に関する。

【0002】

【従来の技術】従来の、この種の順序回路の故障箇所推定方法としては、例えば、電子ビームテストを用いて、半導体集積回路の各部における信号の状態を観測し、当該観測結果と半導体集積回路におけるシミュレーション結果とを比較対照することにより故障箇所を絞り込む方法、または予め半導体集積回路の故障辞書を作成しておいて、実際のフェイル結果と故障辞書とを照合することにより、故障箇所を絞り込む方法等が用いられている。

【0003】上記の電子ビームテストを用いて順序回路の故障箇所を絞り込む方法は、例えば、「M.Kato, T.sujide: Novel VLSI Failure Analysis Technique Using Electron Beam Tester, 1992 First Asian Test Symposium」にも提案されているように、良品の信号と不良品の信号、もしくは良品の電位像と不良品の電位像とを比較するか、或はまた論理シミュレーションから得られた期待値とを比較することにより、実際にフェイルした出力ピンから順次半導体集積回路内部へと故障信号線を追いながら絞り込みが行われる。また、論理シミュレーションの期待値を用いる方法の場合においては、回路接続情報から階層記述されている境界における信号線を抽出し、その信号線における電子ビームテストによる観測値と、論理シミュレーションにより得られた期待値とが一致するかどうかを調べることにより、故障箇所がブロッ

クの中か外かが判定されて、絞り込みが行われる。

【0004】また、もう一つの方法として、前述の故障辞書を用いる故障箇所推定方法は、実際のテストベクタを用いて、半導体集積回路内部に故障の存在を仮定して動作のシミュレーションを行い、当該仮定した故障位置とその時にフェイルする出力ピンの情報を含むデータファイルを故障辞書として予め作成しておき、実際にフェイルした出力ピンの故障状態から、逆に故障辞書を索引して、当該故障箇所の候補点を求め、且つ複数得られた候補点に優先順位をつけて、故障箇所を推定する方法である。

【0005】

【発明が解決しようとする課題】上述した従来の順序回路の故障箇所推定方法においては、電子ビームテストを用いる故障診断方法の場合には、手順として故障信号線を観測し追跡して故障箇所を絞り込んでゆくために、故障箇所推定方法としては有効な手段ではあるが、半導体集積回路の大規模化、多層配線化および平坦化が進むに従って、電子ビームテストによる観測点の数が非常に多くなり、信号線の状態を観測するために多大の時間を要するという欠点がある。

【0006】また、上記の欠点に加えて、多層配線化により下層配線の電位観測が非常に困難となりつつあり、しかも同一配線の上層配線部による観測にも限界があり、半導体集積回路のレイアウトによっては観測自体が不可能な場合も生じるという欠点がある。

【0007】一方、上記の故障辞書を用いる故障箇所推定方法の場合においては、半導体集積回路内部に故障を仮定した故障シミュレーションにより、事前に故障辞書を作成しておく必要があるが、半導体集積回路の大規模化に伴ない、当該シミュレーションに用いる時間が爆発的に増大するという欠点がある。

【0008】そして、更に加えて、前記故障シミュレーションにおいて扱う故障モデルは、単一縮退故障に対応する故障モデルが一般的であるが、ブリッジ故障等の多重故障の場合には、当該故障モデルは実際の故障の一致しない場合があり、故障診断方法として適用できないという欠点がある。しかも、この故障辞書を用いる故障箇所推定方法は、対応する故障モデルとして、単一縮退故障モデル以外の多重故障にモデルを拡張することが不可能であるという欠点がある。

【0009】

【課題を解決するための手段】本発明の順序回路の故障箇所推定方法は、半導体集積回路内の、全ラッチの全ベクタに対する全期待値情報と、テストのパス／フェイル情報と、全回路の接続情報とを用い、当該半導体集積回路をラッチと組合わせ回路とに分割して故障推定する順序回路の故障箇所推定方法において、実際のフェイル出力ピンもしくはフェイルと推定されるラッチ入力線から、半導体集積回路の入力ピンまたはラッチ出力に到達

するまでの入力方向に向って組合わせ回路を抽出するとともに、更に抽出された当該組合わせ回路の入力から、前記半導体集積回路の出力ピンまたはラッチ入力に到達するまでの出力方向に向って組合わせ回路を抽出する第1の処理手順と、前記組合わせ回路の出力部に接続されているラッチの出力が、他の何れのラッチに影響を及ぼしているか否かをチェックしてデータフローを作成する第2の処理手順と、前記組合わせ回路の入力境界における故障伝搬値を、単一故障伝搬確認、前段の組合わせ回路内の同一信号線分岐確認および分岐信号活性化確認、および入力境界部ラッチのクロックイネーブル確認によって、同時故障伝搬可能信号線組合わせを選択するシミュレーションにより推定確認する第3の処理手順と、前記組合わせ回路より、実際の半導体集積回路の出力までの後段の回路の抽出が確認されていない場合に、当該後段の回路を抽出する第4の処理手順と、前記組合わせ回路の入力境界における故障推定結果を用いた故障伝搬シミュレーションと実際のフェイル出力とが一致しているか否かを判定する第5の処理手順と、前記第5の処理手順において一致していると判定された場合に、ラッチ状態の推定値テーブルを作成するとともに、得られたラッチ状態の推定値テーブルを用いた組合わせ回路内の各信号線のシミュレーション結果により縮退故障の有無を判定し、組合わせ回路内の故障箇所を推定する第6の処理手順と、を少なくともフェイルベクタごとに、組合わせ回路の入力境界における故障伝搬推定値を求める処理手順として有しており、最終的に故障推定リストを作成することを特徴としている。

【0010】なお、前記第6の処理手順内には、前記ラッチ状態の推定値テーブルと前記テストのパス/フェイル情報を用いて行われたシミュレーション結果と、正常動作時における期待値との差により組合わせ回路内の故障伝搬経路を検出する第7の処理手順と、前記第7の処理手順において検出して得られた故障伝搬経路の重複した箇所を検出して、当該推定故障箇所に対して優先順位付けを行う第8の処理手順と、を少なくとも有しており、最終的に故障推定リストを作成するようにしてもよい。

【0011】

【実施例】次に、本発明について図面を参照して説明する。

【0012】図1は本発明の一実施例における、フェイルベクタごとに組合わせ回路の入力境界での故障伝搬推定値を求める際の処理手順を示すフローチャートであり、図2は、上記フローチャートに含まれる組合わせ回路内の故障箇所を推定する際の処理手順（図1における処理手順110）を示すフローチャートである。また、図3は、本実施例における処理手順の過程において、組合わせ回路の入力部故障伝搬推定手順における、多重故障伝搬を想定した場合の前段の組合わせ回路内の同一信

号線分岐確認の一例を表わした図であり、また図4は、前記組合わせ回路内の故障箇所推定における、全フェイルベクタの故障伝搬経路比較による重複領域抽出の一例を表わした図である。

【0013】図1において、フェイルベクタごとに組合わせ回路の入力境界での故障伝搬推定値を求める際には、実際のテストパス/フェイル情報S1、全ラッチの期待値S2、および全回路の接続情報S3を用いて処理手順が実行される。まず、処理手順101においては、所定のファイルより、テストパス/フェイル情報S1、全ラッチの期待値S2および全回路の接続情報S3が読み出されて、これらの情報を含むテストパス/フェイル・ピン情報が抽出される。次いで処理手順102においては、テスト/フェイル情報S1および全回路の接続情報S3を用いて、若いベクタから順にフェイルピンの検索が行われ、得られたフェイルピンから入力方向に回路が追跡されて、半導体集積回路の入力ピンもしくはラッチ出力に到達するまでの回路抽出が行われ、次いで、得られた組合わせ回路の入力ピンもしくはラッチ出力から出力方向に回路が追跡されて、半導体集積回路の出力ピンもしくはラッチ入力に到達するまでの回路抽出が行われる。これにより、一つの組合わせ回路が得られるが、当該抽出された組合わせ回路の出力ピンの中に、始めのフェイルピン以外の他のフェイルピンが含まれている場合には、当該新たなフェイルピンに対しても上記逆方向および順方向の回路抽出が行われて、新たなフェイルピンがなくなるまで上記操作を繰返して行うことにより、組合わせ回路接続情報S4が得られる。

【0014】次に、前記処理手順102にフォローして、処理手順103および処理手順104が実行される。処理手順103においては、全回路の接続情報S3を参照して、前記組合わせ回路の出力部のラッチ出力が、他のどのラッチに影響を及ぼしているか否かがチェックされ、当該ラッチ間に対応するデータフローが作成される。次いで、処理手順105においては、前記処理手順103において作成されたデータフローを基に、後段の回路が既に抽出済みであるか否かがチェックされて、抽出されていない場合には、順方向に向って回路抽出が行われて、処理手順106に移行する。他方において、前記処理手順102にフォローして、処理手順104においては、全ラッチの全期待値S2を参照して、前記組合わせ回路の入力部に対する故障伝搬を想定した動作のシミュレーションが行われて、その結果が、実際のフェイル結果もしくは順方向の組合わせ回路の故障伝搬推定結果と一致するか否かの判定が行われ、一致する場合の故障伝搬推定値のみが選択されて出力される。この場合、組合わせ回路の入力部における故障挿入に当たっては、当該組合わせ回路の各入力ピンにおける単一故障伝搬および多重故障伝搬が想定されている。

【0015】前記多重故障伝搬の場合においては、まず

7

図3に示されるように、更に前段の組合わせ回路31を、ラッチ群32の入力信号線から、一例として破線にて示される故障伝搬経路に沿って逆方向に追跡が行われ、これらの配線に接続される回路の端点301および302の抽出が行われ、当該回路接続状況がチェックされて、同一信号線からの分岐がラッチ入力となっている故障伝搬信号線の組が抽出される。次いで全ラッチの全期待値S2と、抽出された前段の組合わせ回路31を用いて、正常な論理シミュレーションが行われ、前記抽出された故障伝搬信号線の組の中から活性化されていない信号線が削除される。そして、更にラッチ群32のクロック信号線がチェックされて、クロックがイネーブルでない信号線も削除される。

【0016】次に、処理手順106においては、前記処理手順104において得られた故障伝搬値を用い、前記処理手順105において得られた後段回路の接続情報を参照して、順方向に向って動作のシミュレーションが行われる。処理手順107においては、前記処理手順106によるシミュレーション結果と、実際のテストパス／フェイル情報とが比較照合されて一致するか否かが判定され、一致する場合には、処理手順108において、全ラッチの全期待値S2を基にして、ラッチの推定値情報S5が出力されて所定のファイルに格納され、次の処理手順109に移行する。また、処理手順107において、前記処理手順106によるシミュレーション結果と、実際のテストパス／フェイル情報とが一致しない場合には、前記処理手順106によるシミュレーション結果による推定値は誤りであるとして削除され、処理手順109において次のフェイルベクタの推定処理が行われる。処理手順109において、全ベクタについて推定処理が完了していない場合には、処理手順104に戻って処理手順104以降の処理手順が繰返して実行され、処理手順109において、全てのフェイルベクタに対する組合わせ回路の入力故障伝搬推定値が得られたものと判定される場合には、処理手順110において組合わせ回路内の故障の推定処理が行われる。処理手順110における組合わせ回路内の故障の推定処理手順については、図2にその詳細のフローチャートが示されているが、当該処理手順110における組合わせ回路内の故障の推定処理終了後においては、処理手順111において、当該組合わせ回路内の故障の推定処理が、全ての組合わせ回路において終了したか否かが判定されて、全ての組合わせ回路に対して終了していない場合には、再度処理手順102に戻って処理手順102以降の処理手順が繰返して行われ、また、全ての組合わせ回路に対して故障推定処理が終了している場合には、フェイルベクタごとに組合わせ回路の入力境界での故障伝搬推定値を求める処理は終了となる。

【0017】次に、前述のフローチャートに含まれる処理手順110の処理内容について詳細に説明する。ま

8

ず、処理手順201においては、前記処理手順108において得られた組合わせ回路入力部のラッチの推定値情報S5、前記テストパス／フェイル情報S1、前記処理手順102において得られた組合わせ回路接続情報S4、および前記全ラッチの全期待値S2を用いて、組合わせ回路入力部のラッチ期待値S6が抽出される。処理手順202においては、前記組合わせ回路入力部のラッチ期待値S6が、ラッチの故障伝搬推定値S7に置換えられて出力される。処理手順203においては、前記組合わせ回路入力部のラッチの故障伝搬推定値S7を用いて論理シミュレーションが行われ、処理手順204においては、前記組合わせ回路接続情報S4および前記組合わせ回路入力部のラッチ期待値S6を用いて、正常な論理シミュレーションが行われる。次いで、処理手順205においては、前記処理手順203および処理手順204における論理シミュレーション結果を用いて、各信号線の状態比較により、その差として表われる故障伝搬経路が抽出される。次いで、処理手順206においては、前記処理手順205において得られた全てのフェイルベクタの故障伝搬経路が比較され、一例として、図4に示されるような重複した回路部分が抽出される。図4においては、ラッチ群35に対応する故障信号線401、402および403に対して、破線にて示される入力信号線から組合わせ回路出力までの故障伝搬経路が示されており、なお且つ、これらの故障伝搬経路に対応して存在する重複箇所が示されている。領域404は、故障信号線402および403の故障伝搬仮定における重複箇所であり、領域406は、故障信号線401および402の故障伝搬仮定における重複箇所、領域404は、故障信号線401、402および403の全ての故障伝搬仮定における重複箇所である。

【0018】処理手順207においては、前記処理手順206において得られた重複頻度結果に基づいて、検出された推定故障箇所の優先順位付けが行われる。そして処理手順208においては、前記処理手順208において優先順位付けされた領域の状態をシミュレーション結果より求めて、全てのテストベクタに対して“0”もしくは“1”に縮退しているか否かのチェックが行われて、処理手順111（図1を参照）に移行する。

【0019】

【発明の効果】以上説明したように、本発明は、半導体集積回路における故障推定手順として、当該半導体集積回路の出力側から組合わせ回路を抽出し、全てのフェイルに対して、当該組合わせ回路の入力境界における故障伝搬値を推定してゆくために、従来行われているように、全回路の全信号線に対して故障を仮定して、全ベクタに対して故障シミュレーションを行う方法に比較して、設定する故障点数が、故障想定する組合わせ回路の入力部信号線の組合わせになり、且つ、その数が少ない値に抑制されるという効果が得られるとともに、個々の

故障シミュレーションが抽出された組合わせ回路に限定されることにより、回路全体に対応する故障シミュレーションに比較して回路規模が大幅に縮小され、所要計算量が低減されるという効果がある。

【0020】また、組合わせ回路内の故障伝搬経路抽出に関しても、故障推定のための組合わせ回路入力部故障シミュレーション結果と、正常動作の場合のシミュレーション結果の比較照合のみにより、当該故障伝搬経路を抽出することができるため、当該抽出処理に要する計算量が少ない量に抑制され、且つ組合わせ回路内の再収斂回路に対しても、故障伝搬回路を抽出することができるという効果がある。

【0021】更に、全てのフェイルベクタに対して、組合わせ回路の入力境界における故障伝搬値推定を行い、当該故障伝搬値推定経路を追跡して、更に前段の組合わせ回路に絞り込んでゆくために、ブリッジ故障等の多重故障発生の場合においても、独立の故障伝搬と相互に影響し合った故障伝搬との両方を想定することができるために、故障伝搬値推定に誤りが生じ難いという効果がある。

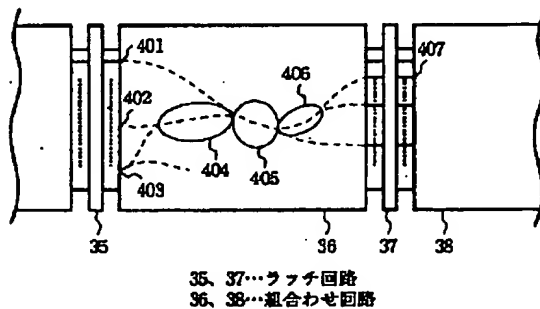
#### 【図面の簡単な説明】

【図1】本発明の一実施例における処理手順のフローチャートを示す図である。

【図2】前記実施例における組合わせ回路内の故障箇所を推定する処理手順のフローチャートを示す図である。

【図3】前記実施例において、多重故障伝搬を想定した場合における前段の組合わせ回路内の同一信号線分岐確認を示す図である。

【図4】

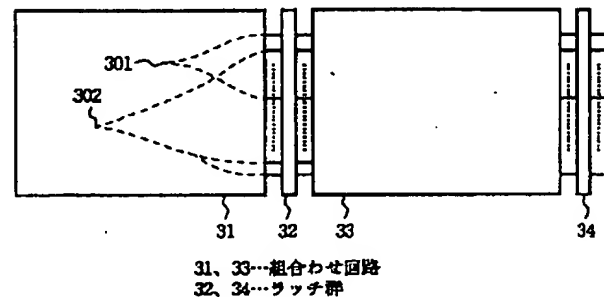


【図4】前記実施例において、組合わせ回路内の故障箇所推定時の全フェイルベクタの故障伝搬経路比較による重複領域抽出を示す図である。

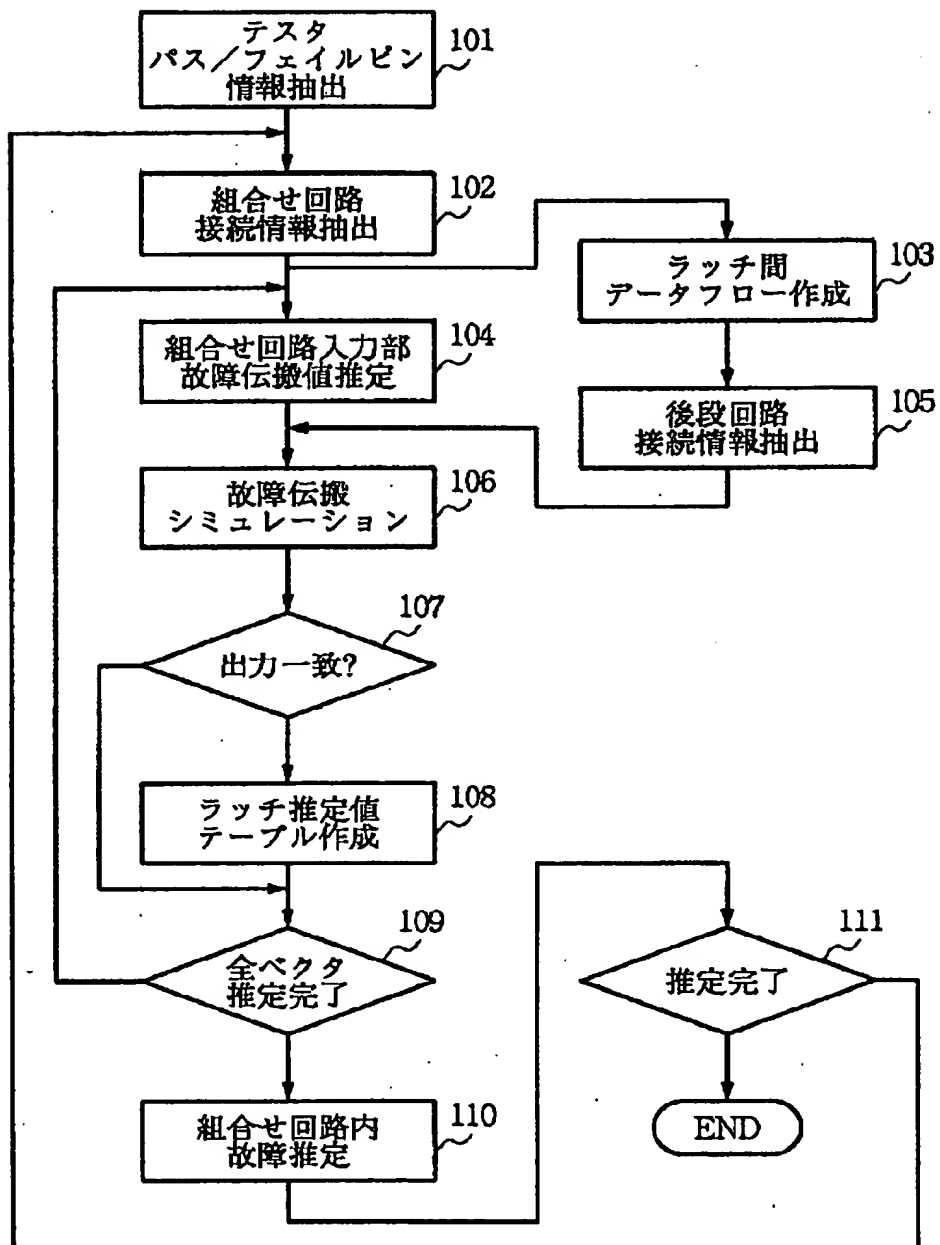
#### 【符号の説明】

31、33、36、38	組合わせ回路
32、34、35、37	ラッチ群
101	テストバス／フェイルピン情報抽出処理手順
102	組合わせ回路接続情報抽出処理手順
103	ラッチ間データフロー作成処理手順
104	組合わせ回路入力部故障伝搬値推定処理手順
105	後段回路接続情報抽出処理手順
106	故障伝搬シミュレーション処理手順
107	出力一致判定処理手順
108	ラッチ推定値テーブル作成処理手順
109	全ベクタ推定完了判定処理手順
110	組合わせ回路内故障推定処理手順
111	推定完了判定処理手順
201	組合わせ回路入力部のラッチ期待値抽出処理手順
202	ラッチの故障伝搬推定値置換処理手順
203、204	論理シミュレーション処理手順
205	各信号線の差による伝搬経路抽出処理手順
206	全フェイルベクタの伝搬経路比較処理手順
207	推定故障箇所の優先順位付け処理手順
208	抽出故障箇所状態チェック処理手順
301、302	端点
401～403	故障伝搬推定信号線
404～406	領域

【図3】



【図1】



【図 2】

